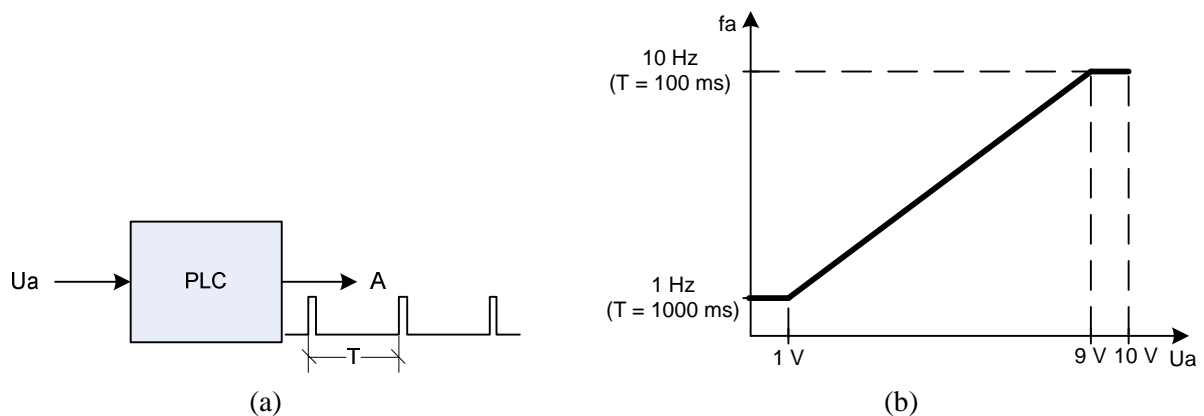


Test pitanja i zadaci

1. Hijerarhijska organizacija memorijskog sistema. Uloga keš memorije.
2. Princip rada *watchdog* tajmera.
3. Aktivna hardverska redundansa. Tehnika udvostručavanja sa poređenjem i primena kod dvo-procesorskih sistema
4. Princip detekcije tranzijentnih kvarova korišćenjem vremenske redundanse.
5. Upravljanje konkurentnim izvršenjem zadataka kod sistema za rad u realnom vremenu.
6. Nabrojati nivoe hijerarhijsko organizovanog industrijskog sistema. Osnovne karakteristike nivoa proizvodnih ćelija.
7. PLC moduli za vizuelnu kontrolu.
8. Princip rada RTO tajmera (*Retentive timer*).
9. **Zadatak.** Ulaz u PLC sistem je taster (T), a izlaz sijalica (S). Realizovati leder dijagram tako da svaki pritisak na taster, koji traje duže od 1s, pali sijalicu, ako je sijalica ugašena, odnosno gasi sijalicu, ako je sijalica upaljena.
10. **Zadatak.** Realizovati leder dijagram za PLC sistem koji će imati funkciju konvertora napona u frekvenciju (Sl. 1(a)). Ulaz u sistem je analogni napon iz opsega 0-10V, a izlaz povorka kratkotrajnih pravougaonih impulsa (trajanja jednog sken ciklusa). Zavisnost frekvencije izlaznog signala od ulaznog napona prikazana je na Sl. 1(b). Ako je ulazni napon manji od 1V, frekvencija je 1 Hz, a ako je veći od 9V, frekvencija je 100 Hz. Za ulazni napon iz opsega 1-9V zavisnost je linearna. Ulazni napon se dovodi na anlogni ulaz PLC kontrolera naponskog tipa sa decimalnim opsegom 0-16384 i analognim opsegom 0 – 10 V.



Sl. 1

Predmetni nastavnik
Prof. dr. Goran Lj. Đorđević