

# CDMA KODIRANA SISTEMSKA MAGISTRALA ZASNOVANA NA WRAPPER-IMA CDMA CODED WRAPPER-BASED SYSTEM BUS

Tatjana Nikolić, Mile Stojčev, *Elektronski fakultet u Nišu*

**Sadržaj** - Tekući razvoj na polju *Field Programmable Gate Array (FPGA) System-on-Chip (SoC)* arhitektura u koje se ugrađuju procesori grubo-zrnaste strukture, *embedded* memorije, i *Intellectual Property (IP)* jezgra nudi veoma visoke performanse u pogledu izračunavanja kao i mogućnosti za brzi razvoj prototipskih sistema. Ovakve platforme zahtevaju visoko performansne *on-chip* i *off-chip* komunikacione arhitekture radi efikasnog i pouzdanog interprocesorskog prenosa podataka. Sa porastom broja *IP* jezgara koja se ugrađuju u *SoC* dizajn, kao i čipova koji se instaliraju na štampanim pločama, problem interkonekcije postaje sve izazovniji. U ovom radu predlaže se jedna tehnika za realizaciju *on-chip* i *off-chip* sistemske magistrale zasnovane na tehnologiji *wrapper-a* i primeni *Code Division Multiple Access (CDMA)* tehnike radi efikasnog prenosa podataka između *IP* jezgara u okviru *SoC-a*, kao i između čipova na štampanoj ploči. Prednosti korišćenja ove tehnike ogledaju se u smanjenju broja veza na sistemskoj magistrali koje u proseku iznosi 50 %, a nedostatak se sastoji u povećanju latentnosti procesorskih ciklusa.

**Abstract** – *The recent development of Field Programmable Gate Array (FPGA) System-on-Chip (SoC) architectures, with coarse-grain processors, embedded memories and Intellectual Property (IP) cores, offers high performance for computing power as well as opportunities for rapid system prototyping. These platforms require high-performance on- and off-chip communication architectures for efficient and reliable inter-processor data transfer. By increasing the number of IP cores that are embedded in a SoC design, as well as the number of VLSI circuits that are installed in circuit boards, the problem of interconnection becomes more challenge. In this paper, we propose an efficient technique for realization of on- and off-chip system bus based on wrapper technology and CDMA techniques, in order to achieve efficient data transfer among IP cores in SoC and among chips on circuit boards. The main benefits of using this technique related to decreasing the number of wires on system bus in average for 50 %, while the main disadvantage deals with increasing the latency of Read and Write processor cycles.*

## 1. UVOD

*On-chip* komunikacije predstavljaju danas permanentni projektantski izazov za ostvarivanje brzog prenosa podataka između gradivnih blokova *SoC* dizajna. Za uspešnu eliminaciju ovog uskog grla u projektovanju složenih *VLSI* IC-ova danas se koriste *on-chip/off-chip* magistrale (tzv. *bus*-arhitekture), *on-chip* mreže (*Network-on-Chip, NoC*) i *point-to-point* veze. *On-chip* magistrale se mogu podeliti na standardne magistrale i *wrapper*-bazirane magistrale. Standardne magistrale specificiraju se i realizuju za korišćenje protokola koji se koriste za žičano povezivanje *IP* jezgara u okviru *SoC-a* [1]. Tipične *on-chip* standardne magistrale koje se koriste kod *SoC* dizajna su *AMBA, CoreConnect* i druge, a *off-chip* su *VME, Multibus* i td *Wrapper*-bazirani pristup koristi interfejs-protokol *IP* jezgra, koji je nezavisan od fizičkog protokola, a podrška direktnoj komunikaciji tipa *jezgro-sa-jezgrom* se ostvaruje hardverom *wrapper-a*. Kod savremenih *embedded* sistema kao novi način za povezivanje *IP* jezgara predlaže se *CDMA* tehnika. Ona se zasniva na principu ortogonalnosti kodnih reči tako da, prilikom sabiranja više kodnih reči ni u jednom trenutku ne dolazi do interferencije među njima, pa se one mogu razdvojiti bez gubljenja informacije [2].

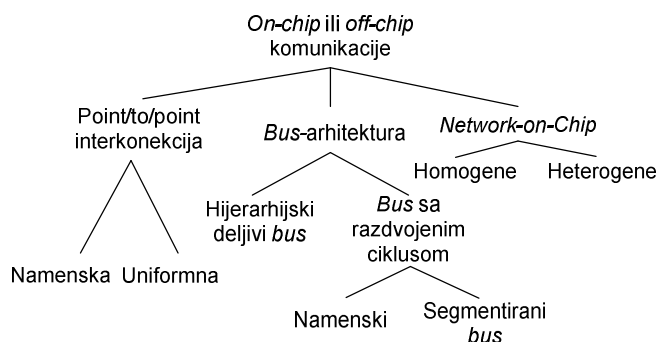
U ovom radu se razmatra realizacija sistemske magistrale zasnovane na *wrapper-ima* i na korišćenju *CDMA* tehnike za prenos podataka između *CPU-a*, memorije i ulazno/izlaznog podsistema. Svakom *IP* jezgru kod *SoC* rešenja ili memorijskom/ulazno-izlaznom modulu kod štampanih ploča pridružuje se odgovarajući *wrapper*. Ugradnjom *wrapper-a* redukuje se broj veza na magistrali za podatke i adrese, po ceni povećanja latentnosti procesorskih ciklusa tipa *Read* ili *Write*. Koncept implementacije ove magistrale biće ilustrovan na 32-bitnom jednoprocorskom sistemu.

## 2. TAKSONOMIJA ON-CHIP KOMUNIKACIONIH ARHITEKTURA

Taksonomija *on-chip* i *off-chip* komunikacionih arhitektura prikazana je na slici 1. Kao što se vidi sa slike, komunikacione arhitekture se kategoriziraju u tri glavne klase. Pojam arhitektura definiše strukturu interkonekcije između procesnih elemenata, protokole i projektovanje interfejsa [1].

Kod *point-to-point* interkonekcione arhitekture, parovi procesnih jedinica direktno komuniciraju preko namenskih fizičkih ožičenih konekcija. Veze se mogu izvesti kao namenske, poznate kao *ad hoc* interkonekcije, ili kao

uniformne. Kod *bus*-arhitektura duge veze se zajednički grupišu sa ciljem da se formira jedinstveni fizički komunikacioni kanal, koji je deljiv između većeg broja raličitih logičkih kanala. Za upravljanje deljivom magistralom koristi se mehanizam arbitraže. Tipične *bus*-arhitekture su AMBA, CoreConnect i dr. NoC je arhitektura koja je tipa komunikaciona mreža za prenos podataka kakve srećemo kod *Local Area Network* (LAN) kod koje se interprocesorska komunikacija podržava od strane paketno komutirane mreže.



Slika 1. Taksonomija *on&off-chip* komunikacionih arhitektura

Za nas od interesa u ovom radu su *bus*-arhitekture koje koriste koncept hijerarhijski deljivi *bus*. U cilju jasnijeg objašnjenja razmatrane problematike prvo ćemo prezentirati način organizacije jednoprocorskog sistema oko jedinstvene standardne magistrale, a zatim ćemo, na istoj arhitekturi, prikazati implementaciju *wrapper* bazirane magistrale koja koristi CDMA tehniku.

### 3. JEDNOPROCESORSKI SISTEM ZASNOVAN NA STANDARDNOJ BUS-ARHITEKTURI

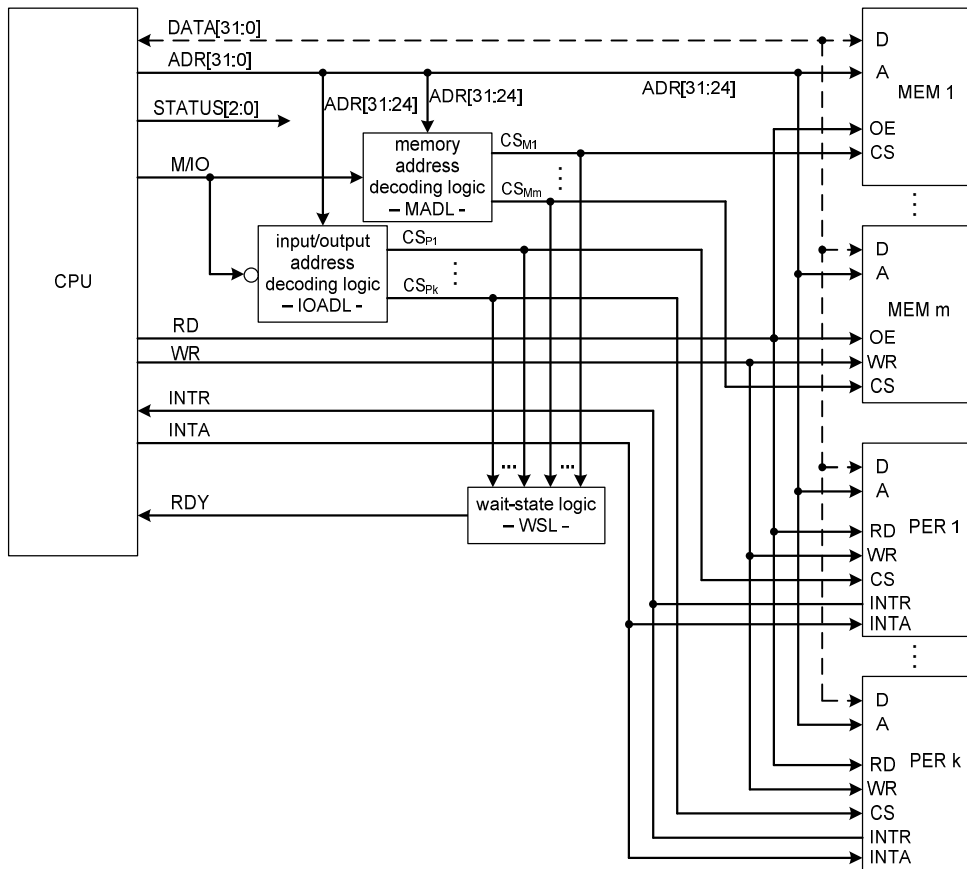
Jedan tipičan 32-bitni jednoprocorski sistem, koji se razmatra u ovom radu, prikazan je na slici 2. Sistem se sastoji od većeg broja IP jezgara/modula koja mogu biti tipa *master* ili *slave*. Struktura sa slike 2 je pogodna za realizaciju na jednom čipu ili na štampanoj ploči. U konkretnom slučaju analiziraće se struktura sa jednim *master*-om i većim brojem *slave*-ova, tj. sistem kod koga nije instaliran blok za arbitražu. Centralna procesorska jedinica, CPU, predstavlja *master* jezgro, dok memorijski blokovi, MEM<sub>i</sub>, i=1, ..., m, i periferijske jedinice, PER<sub>j</sub>, j=1, ..., k, predstavljaju *slave* jezgra. CPU, MEM<sub>i</sub> i PER<sub>j</sub> su standardni gradivni blokovi sistema koji su povezani na sistemsku magistralu preko unidirekciono 32-bitne adresne magistrale, ADDR[31:0], bidirekciono 32-bitne magistrale podataka, DATA[31:0], i bidirekciono upravljačke magistrale koju čine signali: STATUS[2:0] ukazuju na tekući ciklus procesora, M/IO definiše selekciju memorijskog ili ulazno-izlaznog podsistema, RD kada je aktivan u toku je ciklus *Read*, WR kada je aktivan u toku je ciklus *Write*, INTR zahtev za prekid inicira se od *slave*-ova, INTA potvrda o prihvatanju zahteva za prekid, RDY potvrda o spremnosti za prenos podataka inicirana od strane *slave*-a, CS<sub>M<sub>i</sub></sub> (CS<sub>P<sub>j</sub></sub>) kada je aktivan selektuje se odgovarajući memorijski (periferijski) modul. Napomenimo da se gradivni blokovi MADL, IOADL i WSL realizuju kao interfejs logika. Pri tome, MADL i IOADL su

kombinacione mreže tipa višenivovski dekodner koje na svojim izlazima generišu signale tipa *chip select* (CS), dok je WSL sekvencijalna mreža tipa pomerački registar koja definiše insertovanje broja stanja čekanja i na svom izlazu generiše signal *Ready* (RDY).

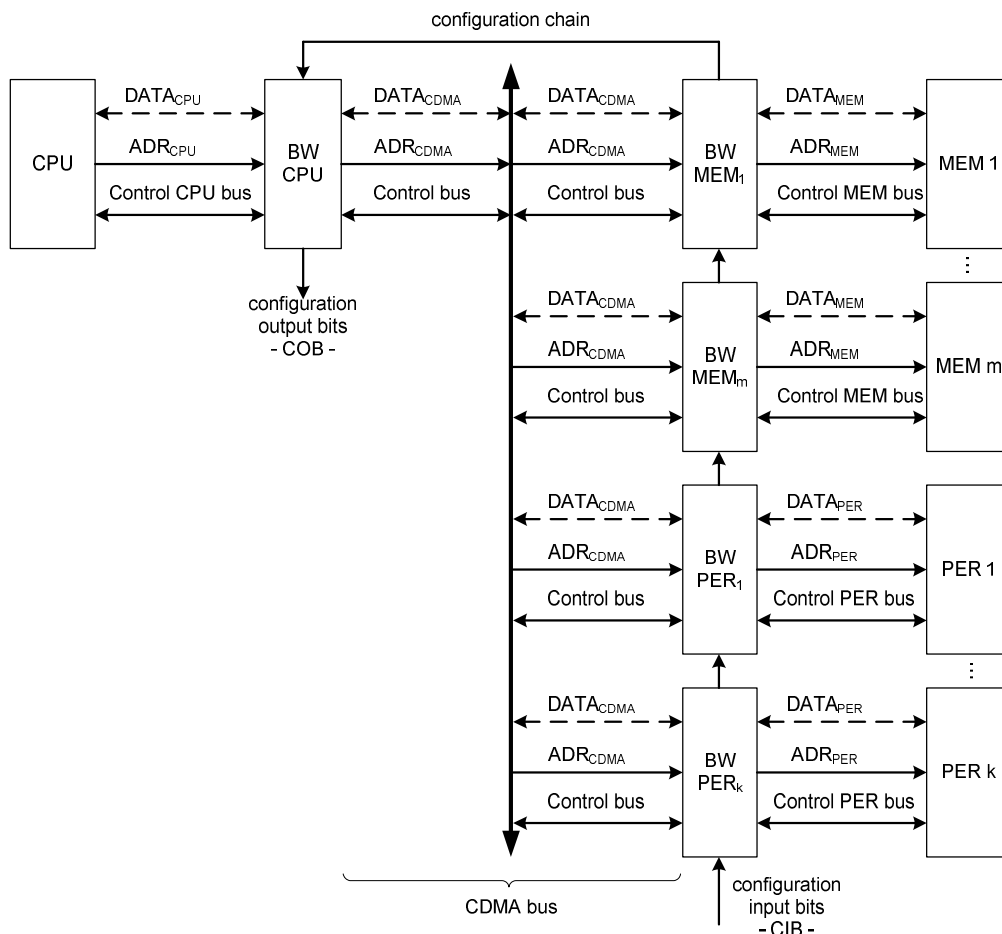
### 4. MOTIVACIJE ZA KORIŠĆENJE CDMA TEHNIKE

Složenost silicijumskih VLSI IC-ova, sa tačke gledišta broja tranzistora koji se ugrađuju u integrisana kola, raste mnogo brže nego što su mogućnosti projektanata da realno koriste ove beneficije. Ovakav trend u razvoju rezultirao je pojavi dobro poznatog procepa-u-proizvodnji-integrisanih-kola. Procep se javlja zbog ograničene intelektualne sposobnosti projektanta, sa jedne strane, i mogućnosti tehnologije da se iskoriste pogodnosti koje se nude od strane *reuse* pristupa u projektovanju SoC-ova, sa druge strane. U proseku, na dan, inženjer može ručno da projektuje kolo čija je hardverska složenost reda četrdesetak gejtova, dok korišćenje koncepta *reuse* obezbeđuje da se u VLSI IC-a ugrađuju gradivni blokovi čija je hardverska složenost na nivou i do 1 000 000 gejtova. Zbog toga, veliki broj projektanata, sa ciljem da suzi procep, predlaže, danas, ekstenzivno ponovno-korišćenje (*reuse*) unapred projektovanih IP jezgara. Tipično, IP jezgra se realizuju kao mikroprocesori, mikrokontroleri, DSP procesori, funkcionalne jedinice specifične namene, *bus* interfejsi, i brojne druge periferne komponente. Sa brzim porastom performansi procesora, ali i nekih perifernih uređaja, kao što su grafički i mrežni adapteri, magistrale postaju usko grlo sistema. Da bi performanse sistema mogle dalje da se poboljšavaju neophodno je konstruisati magistrale koje će imati veću propusnost tj. magistrale koje će prenositi veću količinu podataka u jedinici vremena. U suprotnom, dalje povećanje performansi pojedinačnih elemenata računarskog sistema neće imati efekta na povećanje performansi celokupnog računarskog sistema. To je razlog što se poslednjih godina ulaže mnogo napora u razvoj brzih magistrala. S druge strane, realizacija brzih magistrala suočena je sa brojnim problemima. Ove probleme nameće, pre svega, sam kanal za povezivanje. Za rešavanje ovih problema koriste se različite tehnike, koje najčešće podrazumevaju uvođenje dodatnog hardvera. Drugi način za povećanje propusnosti magistrale, jeste povećanje broja linija za prenos, čime se opet, povećava složenost sistema, otežava trasiranje magistrala na štampanim pločama i povećava se njihova površina. U svakom slučaju, magistrale, zajedno sa odgovarajućim interfejsima, postaju složeni sistemi čija cena raste sa povećanjem broja linija. Upravo zato, povećanje propusnosti povećavanjem broja prenosnih linija, nije ekonomski isplativo za najveći broj računara opšte namene.

Kod *embedded* sistema novijih generacija kao alternativni način za povezivanje IP jezgara u okviru SoC-a ili gradivnih modula sistema u okviru štampane ploče predlaže se CDMA tehnika. U poređenju sa konvencionalnom magistralom zasnovanom na TDMA (*Time Division Multiple Access*) tehnici, magistrala koja koristi CDMA tehniku ima bolje karakteristike koje se odnose na izolaciju i kontinuitet kanala u vremenskom domenu zbog toga što su kanali razdvojeni pomoću *spreading* kodova [3]. CDMA tehnika se zasniva na principu ortogonalnosti kodnih reči što omogućava efikasno razdvajanje informacije.



Slika 2. 32-bitni jednoprocesorski sistem zasnovan na standardnoj bus-arhitekturi



Slika 3. 32-bitni jednoprocesorski sistem organizovan oko jedinstvene sistemske magistrale koja koristi wrapper-e kao interfejs logiku i CDMA tehniku prenosa

## 5. SISTEM KOJI KORISTI WRAPPER-E I CDMA TEHNIKU

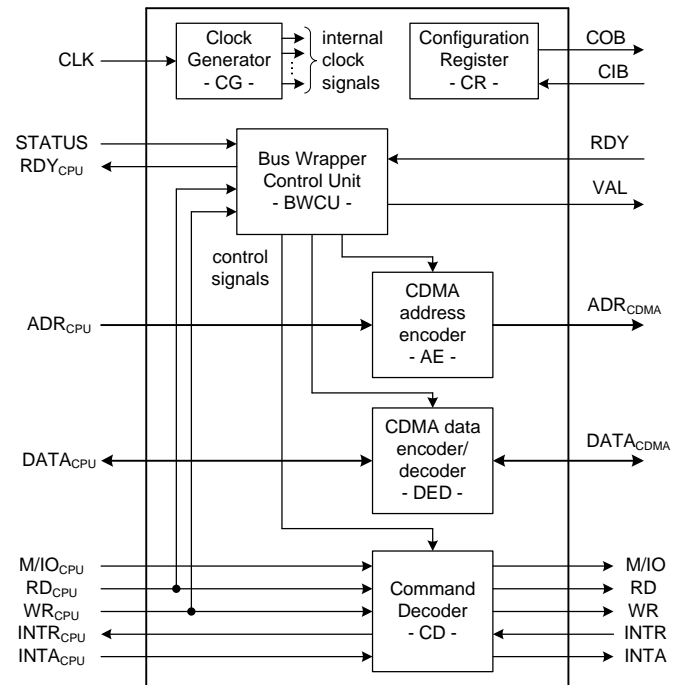
Na slici 3 prikazana je struktura sistema koja je sa aspekta funkcionalnosti identična onoj sa slike 2, ali je sa tačke gledišta prenosa podataka po sistemskoj magistrali između *master*-a i *slave*-ova koncipirana na korišćenju CDMA tehnike. Kao što se može primetiti ključna razlika između ove dve strukture sastoji se u pridruživanju odgovarajućeg *wrapper*-a svakom gradivnom bloku sistema.

*Wrapper*-bazirane magistrale predstavljaju tehnologiju koja na efikasan način omogućava ponovno-korišćenje (*reuse*) IP jezgara kod projektovanja SoC-ova [4, 5]. Razlog je taj što se kod ove tehnologije, sa logičke tačke gledišta, razdvaja komunikaciona logika od logike IP jezgra pa se na taj način uspešno premošćava problem konektiranja, koji se odnosi na realizaciju fizičkih *bus*-protokola. Naime, *wrapper*-koncipirani pristup koristi interfejs-protokol IP jezgra, koji je nezavisan od fizičkog protokola, a podrška direktnoj komunikaciji tipa jezgro-sa-jezgrom ostvaruje se hardverom *wrapper*-a. Zbog ovoga, IP jezgra koja rade u saglasnosti sa interfejs protokolom mogu da se integrišu u SoC dizajn koji se bazira na različitim fizičkim magistralama (tipa AMBA, CoreConnect i druge) kao *backbone*-ovima (kičme sistema). Ipak, treba naglasiti da se, ugradnjom šta više i jednostavnog *wrapper*-skog hardvera povećava latencija pristupa, tako da, ako se želi optimizacija performansi celog dizajna tada velika pažnja mora da se posveti optimizaciji hardvera *wrapper*-a.

U konkretnoj implementaciji, slika 3, CPU-u je pridružen *wrapper* BW\_CPU tipa *master*, memorijskom bloku MEM<sub>i</sub> *slave wrapper* BW\_MEM<sub>i</sub>, a perifernoj jedinici PER<sub>j</sub> *slave wrapper* BW\_PER<sub>j</sub>. Zbog jednostavnosti izvođenja, CDMA tehnika prenosa je implementirana samo na adresnoj i magistrali za podatke, dok je upravljačka magistrala identična kod oba rešenja. Sastavni deo svakog *wrapper*-a je i logika za selekciju memorijskih blokova/perifernih jedinica. Na početku rada ili nakon *Reset*-a sistema CPU inicijalizira *wrapper*-e povezane u lanac upisom odgovarajućeg konfiguracionog fajla.

*Master* i *slave wrapper*-i po svojoj strukturi su slične konfiguracije. Sa tačke gledišta funkcionalnosti ključna razlika između ova dva *wrapper*-a se sastoji u sledećem: *Master wrapper* prihvata na svojim ulazima signale shodno VCI 2.0 standardu definisanom od strane VSIA [6], a na svojim izlazima generiše signale za CDMA magistralu. Nasuprot tome, *slave wrapper* prihvata na svojim ulazima signale sa CDMA magistrale, a generiše izlazne signale shodno VCI 2.0 standardu. Zbog ograničenog prostora objasnimo samo strukturu *master wrapper*-a prikazanu na slici 4. BW\_CPU čine funkcionalni CDMA blokovi BWCU (*Bus Wrapper Control Unit*), AE (*Address Encoder*), DED (*Data Encoder/Decoder*) i CD (*Command Decoder*) i sistemsko-upravljački blokovi CG (*Clock Generator*) i CR (*Configuration Register*). Blok CR se koristi za prihvatanje i memorisanje konfiguracionih bitova [7], dok CG, kao PLL sistem, generiše taktne pobudne signale, koji su u sinhronizmu sa globalnim taktom sistema, CLK, za sve gradivne blokove *wrapper*-a. BWCU je konačni automat koji upravlja radom ostalih funkcionalnih konvertorskih blokova.

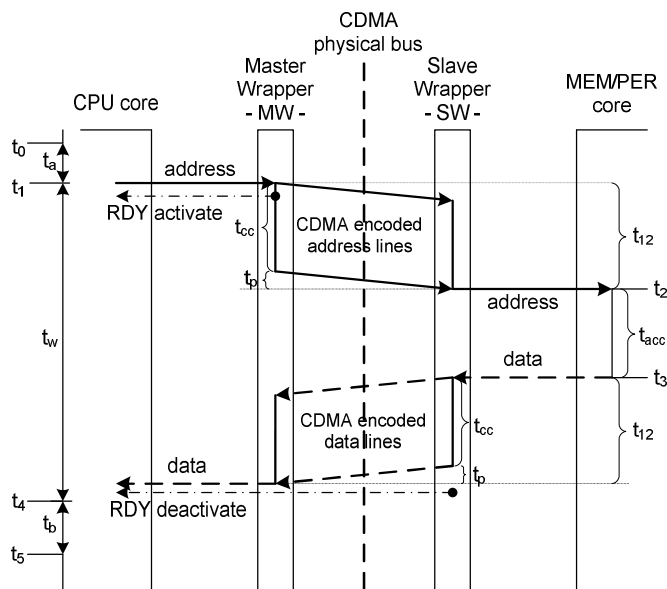
Blok AE konvertuje binarno kodiranu CPU-ovu adresu u CDMA adresu. DED je dvosmerni konvertor koji radi u režimu rada poludupleks sa vremenskom raspodelom. U smeru CPU → CDMA *bus* konvertuje izlazne podatke CPU-a u CDMA kodirane podatke, dok u smeru CDMA *bus* → CPU konvertuje CDMA kodirane podatke u ulazne podatke CPU-a. Blok CD, bez konverzije, prosleđuje signale sa upravljačke magistrale CPU-a na upravljačku magistralu CDMA.



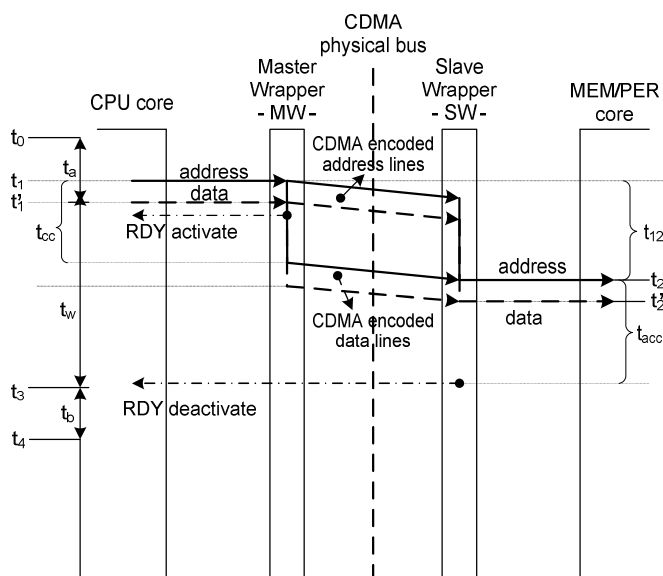
Slika 4. Struktura *wrapper*-a

Princip rada *wrapper*-a objasnimo na primeru izvršenja ciklusa *Read* (slika 5) i ciklusa *Write* (slika 6), kao sastavnih delova izvršenja instrukcija. Ciklus *Read* počinje u trenutku  $t_0$ . Nakon vremenskog perioda  $t_a$  CPU na svojim izlazima postavlja u važeće stanje izlaze *address* i *status* koji se prihvataju od strane MW-a. Kao odziv na ovu pobudu MW aktivira signal RDY kojim se ukazuje CPU-u da ubaci stanja čekanja. Pored toga, MW kodira adresne signale i predaje ih po CDMA magistrali *slave wrapper*-ima. Ukupni vremenski period prenosa adrese  $t_{12}$  od izlaza CPU-a do ulaza MEM/PER modula (vidi sliku 5), određuje se kao  $t_{12} = t_{MW} + t_{cc} + t_p + t_{SW}$ , gde je  $t_{MW}(t_{SW})$  vreme lečovanja adrese u *master* (*slave*) *wrapper*-u,  $t_{cc}$  vreme prenosa CDMA kodirane informacije, i  $t_p$  vreme propagacije signala po CDMA magistrali. Vreme  $t_{cc}$  je proporcionalno broju bitova u *spreading* kodu i iznosi  $t_{cc} = s * t_{br}$ , gde je  $s$  broj bitova *spreading* koda a  $t_{br}$  je vreme procesiranja i prenosa jednog bita po CDMA magistrali. S obzirom da je  $t_{cc} \gg t_{MW} + t_{SW} + t_p$  tada važi da je  $t_{12} \approx t_{cc}$ . Napomenimo da na slici 5 vremenski intervali  $t_{MW}$  i  $t_{SW}$  nisu prikazani. Nakon trenutka  $t_2$  vrši se pristup memorijskom ili perifernom bloku što odgovara vremenu  $t_{acc}$ . U trenutku  $t_3$  adresirani modul ima spremne podatke i predaje ih SW-u koji ih kodira i predaje MW-u. MW ih dekodira i predaje CPU-u. Nakon ovoga SW deaktivira signal RDY koji se preko MW-a vodi na ulaz CPU-a čime se završava stanje čekanja. Zatim

CPU prihvata podatke na linijama data i posle isteka vremena  $t_b$ , u trenutku  $t_5$  završava ciklus čitanja. Na slici 6 prikazan je ciklus *Write*. Scenario ovog ciklusa je jednostavniji u odnosu na ciklus *Read*. Razlika se sastoji u sledećem: U prvom delu ciklusa, u trenutku  $t_1$ , CPU generiše adrese, a u trenutku  $t_1'$  generiše podatke koji se dovode na MW. Pri tome je  $\tau = t_1' - t_1 \approx 0$ . U cilju jasnije ilustracije, na slikama 5 i 6 prenos CDMA kodiranih adresa je prikazan punim linijama, a podataka isprekidanim.



Slika 5. Scenario akcija u toku ciklusa *Read*



Slika 6. Scenario akcija u toku ciklusa *Write*

## 6. REZULTATI

Predloženo rešenje se može aplicirati na bilo koju adresnu i magistralu podataka u okviru sistemske magistrale. U konkretnom predlogu, za CDMA kodiranje koristi se  $S$  ortogonalnih kodova. To znači da, ako su nekodirane magistrale obima  $n$  bitova, CDMA kodiranjem njihov obim se redukuje na  $p = \frac{n}{S} \lceil \log_2 S + 1 \rceil$  bitova, što za 8-bitni *spreading* kod iznosi 50 %. U Tabeli 1 prikazani su rezultati

koji se odnose na procenu smanjenja obima odgovarajuće magistrale datog u procentima,  $R_{BL}$ , kao i povećanje latentnosti odziva izraženo kao broj taktova u funkciji obima *spreading* kôda kod operacija *Read*,  $T_{RCP}$ , i *Write*,  $T_{WCP}$ .

Tabela 1 Performanse

n	8	16	32	64	128	256	$R_{BL}$ (%)	$T_{RCP}$ (clk)	$T_{WCP}$ (clk)
S	8	16	32	64	128	256			
4	6	12	24	48	96	192	25	8	4
8	4	8	16	32	64	128	50	16	8
16	-	5	10	20	40	80	68.75	32	16
32	-	-	6	12	24	48	81.25	64	32

## 7. ZAKLJUČAK

U ovom članku razmatra se problem implementacije CDMA tehnike radi postizanja efikasne komunikacije kod SoC dizajna zasnovanog na *on-chip* i *off-chip* sistemskej magistrali korišćenjem *bus wrapper*-a kao interfejs logike između IP jezgara i sistemske magistrale. Efikasnost se, pre svega, odnosi na smanjenje broja veza adresne magistrale i magistrale podataka u okviru sistemske magistrale uz povećanje latentnosti odziva. Na upravljačku magistralu, radi redukcije potrošnje energije na nivou čipa, CDMA tehnika se ne primenjuje. Implementacijom *wrapper*-a u FPGA tehnici obezbeđena je rekonfigurabilnost u radu sistema koja se ogleda u njegovom fleksibilnom konfigurisanju.

## LITERATURA

- [1] Terrence S. T. Mak, N. Pete Sedcole, Peter Y. K. Cheung, Wayne Luk, "On-FPGA Communication Architectures and Design Factors", in *International Conference on Field Programmable Logic and Applications*, 2006, pp. 1-8
- [2] X. Wang, T. Ahonen, and J. Nurmi, "Applying CDMA Technique to Network-on-Chip", *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, Vol. 15, No. 10, October 2007, pp. 1091-1100
- [3] B. C. Lai, P. Schaumont, and I. Verbauwhede, "CT-bus: A Heterogeneous CDMA/TDMA Bus for Future SOC" in *Proc. 38th Annu. AsilomarConf. Signals, Systems, and Computers.*, Vol. 2, Issue 7-10, Nov. 2004, pp. 1868 - 1872
- [4] K. Anjo, A. Okamura, M. Motomura, "Wrapper-based bus implementation techniques for performance improvement and cost reduction", *IEEE Journal of Solid-State Circuits*, Vol. 39, Issue 5, May 2004, pp. 804 - 817
- [5] R. Lysecky, F. Vahid., "Pre-fetching for Improved Bus Wrapper Performance in Cores" *ACM Transactions on Design Automation of Electronic Systems (TODAES)*, Vol. 7, No. 1, January 2002, pp. 1-33
- [6] On-chip Bus Development Working Group, "Virtual Component Interface Standard Version 2", April 2001.
- [7] A. Athavale, C. Christensen, *High-Speed Serial I/O Made Simple*, Xilinx Connectivity Solutions, San Jose, April 2005