

SMANJENJE POTROŠNJE ENERGIJE KOD A/D KONVERTORA SA SUKCESIVNOM APROKSIMACIJOM

Dragan B. Stanković¹, Mile K. Stojčev, Goran Lj. Đorđević
Elektronski fakultet u Nišu

Sadržaj – Napredak na polju VLSI tehnologije i izrade mikro-elektromehaničkih sistema omogućio je integraciju senzora, procesora, memorije i RF komunikacionog podsistema na jedinstveni čip, nazvan senzorski čvor. Grupisanjem većeg broja senzorskih čvorova realizuje se bežična senzorska mreža. Ključni projektantski zahtevi kod realizacije senzorskog čvora se odnose na malu potrošnju, autonomnost u radu, sposobnost za komunikaciju, itd. U ovom radu razmatran je problem smanjenja potrošnje energije senzorskog čvora koje se može ostvariti u bloku za kondicioniranje signala. Ušteda od maksimalno 30% u potrošnji energije se ostvaruje na algoritamskom nivou zahvaljujući smanjenju broja koraka kod A/D konvertora sa sukcesivnom aproksimacijom bez korišćenja dodatnog hardvera..

1. UVOD

Bežična senzorska mreža se sastoji od velikog broja distribuiranih senzorskih čvorova (modula) različitog tipa međusobno povezanih komunikacionom mrežom. Podaci prikupljeni od senzorskih čvorova se koriste kao ulaz u distribuirani informaciono-estimacioni sistem čiji je cilj da izvuče najrelevantniju informaciju od dostupnih senzorskih podataka [3]. Imajući u vidu da se senzorski moduli napajaju baterijski, i da je raspoloživa energija baterije ograničena, energetska efikasnost modula ima direktan uticaj na životni vek modula. Kada senzorski modul prestane sa radom, ne zaustavlja se samo njegov proces prikupljanja podataka, nego mreža gubi jedan čvor i sposobnost prosleđivanja podataka preko tog čvora. Zbog svega ovoga, energetska efikasnost ima direktan uticaj na to koliko dugo će funkcionisati ne samo senzorski čvorovi nego i mreža u celini. Na osnovu prethodno izloženog jasno je da je veoma važno sagledati probleme energetske efikasnosti sa svih aspekata rada, tj. kako rada modula tako i rada mreže [4]. Potrošnja energije u okviru bežičnog senzorskog modula egzistira u sledeća tri domena: na nivou senzora, procesiranja podataka i komunikacije. Komunikacija je glavni potrošač energije, zatim slede senzor i procesor. Na sreću, korektno izvedenim algoritmom upravljanja moguće je učiniti kompromis između prikupljanja podataka sa senzora, procesiranja i komunikacije. Zbog ovoga, da bi se redukovala potrošnja energije, preporučljivo je da se još na nivou projektovanja sistema sveobuhvatno sagledaju sve mogućnosti. Strateški posmatrano, dok je potrošnju energije kod digitalnog dela elektronike senzorskog čvora „relativno lako“ redukovati [6], za analogni i radio deo se ne mogu primeniti iste tehnike. U principu, problem se rešava tako što senzorski čvor obavlja obimnije lokalno procesiranje, nasuprot razmeni „sirovih“ podataka preko etra. Ova konstatacija ukazuje na činjenicu da algoritam za upravljanje radom senzora, obradu podataka i rutiranje poruka kroz mrežu, mora maksimalno da redukuje

prekoračenja u potrošnji kako u fazi analogno-digitalne konverzije signala tako i u procesu prenosa poruka.

Ovaj rad ima za cilj da pokaže kako se pogodnim izborom algoritma upravljanja može uštedeti na potrošnji energije u toku postupka analogno-digitalne konverzije senzorske veličine. Predloženi metod za redukciju energije implementiran je na arhitekturi analogno-digitalnog konvertora (ADC) sa sukcesivnom aproksimacijom. Ključna pretpostavka kod ove metode je da je ulazna veličina koju senzor procenjuje sporo promenljiva (što je najčešći slučaj). To znači da se dve uzastopne merene veličine najčešće neznatno razlikuju, pa se ideja zasniva na smanjenju broja koraka A/D konverzije.

2. BEŽIČNE SENZORSKE MREŽE

Bežičnu senzorsku mrežu čini skup automnih multifunkcionalnih senzorskih čvorova. Ova mreža se sastoji od velikog broja energetski automnih modula, koji se sastoje od jednog ili većeg broja procesora koji kontrolišu rad primopredajnika, procesiraju podatke, i implementiraju mrežne protokole. Senzorske mreže su dominantno tipa *data-centric* a ne *address-centric*. To znači da su uputi usmereni ka regionu u kome postoji grupa senzora, a ne specifičnim senzorskim adresama.

Osnovne karakteristike senzorske mreže su:

- broj senzorskih čvorova je veoma veliki;
- senzorski čvorovi su gusto raspoređeni;
- senzorski čvorovi koriste komunikacionu paradigmu tipa emisija svima (*broadcast*);
- zbog velikog broja, senzorski čvorovi (moduli) nemaju svoju identifikaciju (adresu).

Senzorski čvorovi se mogu klasifikovati u sledeća dva tipa:

- proaktivni čvorovi – čvorovi u mreži povremeno aktiviraju senzore, konvertuju i prihvataju podatak od okruženja, i predaju podatak koji je od interesa
- reaktivni čvorovi – ovi čvorovi su aktivni sve vreme i trenutno reaguju na nagle promene u mreži i okruženju. Ovaj tip senzorskih čvorova je pogodan za vremenski kritične senzorske aplikacije.

Danas postoji veliki broj različitih tipova senzora. Oni se uglavnom koriste za nadgledanje skoro svakog aspekta ambijenta kakav je osvetljaj, temperatura, vlažnost, pritisak, prisustvo ili odsustvo različitih hemijskih ili bioloških agenasa, detekcija prisustva kretanja itd. Umnožavanjem broja senzora i njihovim razmeštajem unutar fenomena koji se prati dobija se senzorski polje.

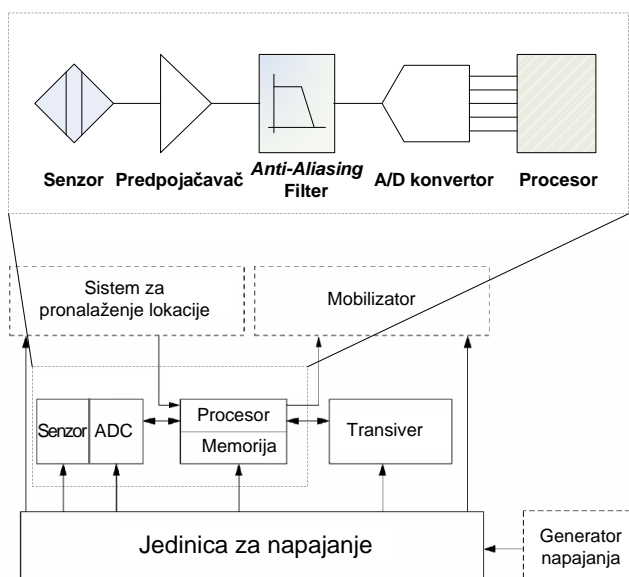
Aplikacije bežičnih senzorskih mreža su brojne. Najkarakterističnije su one koje se odnose na primene u oblasti [5]: a) inženjerstva u širem smislu (automobilskoj industriji, upravljanju složenim industrijskim procesima, avionskoj industriji, svemirskoj industriji, saobraćaju radi procene pokretnih ciljeva); b) poljoprivrede i zaštite životne sredine (geofizički monitoring, nadgledanje vodenih površina, detekcija požara ili poplava); c) građevinarstva (monitoring zgrada, detekcija pojave zemljotresa ili

¹ Stipendista ministarstva za nauku i zaštitu životne sredine

vulkanskih erupcija); d) vojne industrije (nadgledanje teritorije, nadgledanje bitaka, nadgledanje objekata od strateške važnosti); e) zdravstva i hirurgije (medicinski senzorski elementi, mikro-hirurgija) [11].

3. ARHITEKTURA SENZORSKOG ČVORA

Kao što smo već naglasili senzorski čvorovi su razučeni moduli u senzorskom polju. Svaki od senzorskih čvorova je pametna jedinica i ima mogućnost da prikuplja podatke i usmerava ih ka određištu. Senzorski čvor, vidi sliku 1, se sastoji od sledeće četiri osnovne komponente: senzorska jedinica, procesna jedinica, primopredajna jedinica i jedinica za napajanje.



Slika 1 komponente senzorskog čvora

Dodatne komponente kakve su jedinica za određivanje prostorne lokacije senzorskog čvora, mobilizator, i energetski generator mogu takođe biti sastavni deo ovog čvora. Senzor prihvata fizičku veličinu koju treba proceniti i konvertuje je u električni signal. Signal se nakon kondicioniranja dovodi na ulaz A/D konvertora, konvertuje u digitalnu formu i prihvata od strane procesora. Procesor u zavisnosti od načina kako je programiran obavlja procesiranje nad prikupljenim podacima, a zatim predaje rezultujuću informaciju mreži koristeći primopredajnik. Rad jedinice za napajanje može biti podržan od strane solarnih ćelija.

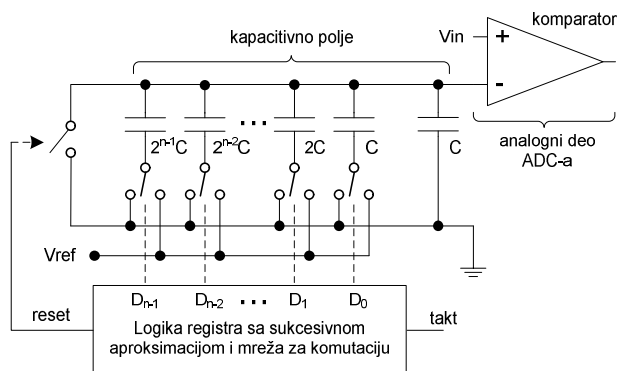
4. ANALOGNO DIGITALNA KONVERZIJA

Kod bežičnih senzorskih mreža, imperativ je da analogno digitalni konvertor, kao gradivni blok senzorskog modula, ima što je moguće manju potrošnju. Kada se govori o razvoju na polju analogno-digitalne konverzije zadnjih dvadesetak godina, naponi istraživača su prvenstveno bili usmereni ka povećanju brzine uzorkovanja i rezoluciji ADC-a. Na žalost malo je pažnje bilo posvećeno razvoju arhitekture ADC-ova kod kojih se ne zahteva velika brzina rada nego se postavljaju veoma strogi zahtevi u pogledu redukcije u potrošnji energije. Razvoj na polju bežičnih senzorskih mreža pospešio je intenzivan razvoj ADC-ova sa mikropotrošnjom [5] [7].

Sprovedena istraživanja na polju razvoja CMOS kola [8] pokazuju da arhitekture ADC-ova koje koriste redistribuciju električnog tovara, a zasnovane su na algoritamskoj [9] i sukcesivnoj aproksimaciji [10] predstavljaju najpogodniji

izbor za ovaj tip primene, prvenstveno zbog minimalnog iznosa analognog hardvera. Imajući u vidu implementirani algoritam za upravljanje radom ADC-a (vidi sliku 5 u sekciji 5) naša sagledavanja pokazuju da ADC sa skaliranim tovarom kod koga je izvedena podela polja kondenzatora (Charge-scaling ADC with splitted array) nudi bolje performanse.

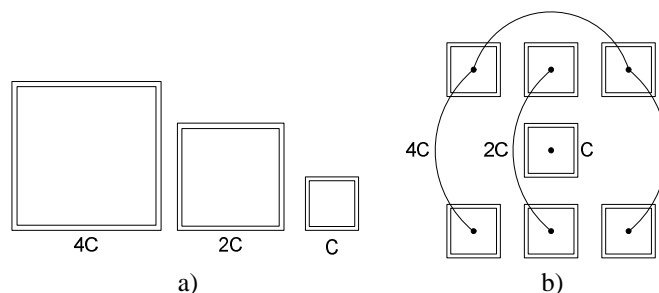
Klasično rešenje ADC-ove arhitekture sa sukcesivnom aproksimacijom prikazano je na slici 2 [6].



Slika 2 Arhitektura ADC-a sa sukcesivnom aproksimacijom
Napomena V_{in} ulazna analogna veličina; V_{ref} – referentni napon

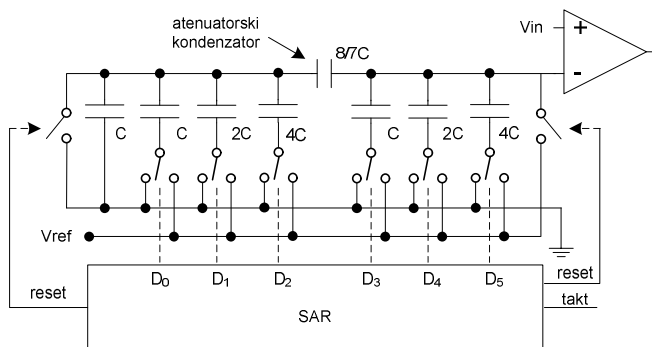
Koristeći algoritam za sukcesivnu aproksimaciju, komparator n -bitnog ADC-a sa slike 2, u toku svakog ciklusa konverzije donosi n odluka. Binarno pretraživanje u konkretno predloženom algoritmu upravljanja (vidi sekciju 5) pruža nam sledeće mogućnosti: a) da konverzija ne počne uvek od koraka u toku koga se određuje vrednost bita najveće težine (MSB), nego od koraka m , gde vrednost m ukazuje na broj koincidentnih bitova između prethodne i naredne konverzije; b) zahvaljujući tome što je ulazna veličina sporo promenljiva postupak konverzije možemo obaviti sa redukovanom rezolucijom što se ostvaruje završetkom algoritma pretraživanja ranije; i c) hardver bloka SAR (slika 2) uključujući i postupak upravljanja radom ADC-a se može implementirati od strane CPU-a senzorskog čvora čime se ostvaruje laka rekonfiguracija, tako da ADC postaje veoma fleksibilan.

Glavni problem sa ADC-om prikazanim na slici 2 predstavlja realizacija preciznih ratiometrijskih kondenzatora. Kako se broj bitova povećava, odnos između MSB i LSB kapacitivnosti postaje sve teži za kontrolisanje. Ilustracije radi, na slici 3 a) prikazano je 3-bitno binarno kapacitivno polje koje koristi tri kondenzatora.



Slika 3 Layout binarno ponderisanog kapacitivnog polja:
a) jedinствeni kondenzatori; b) jedinični kondenzatori

U toku fabrikacije kondenzatora, efekat podvlačenja (*undercutting*) maske [6] uzrokuje grešku u odnosima između kapacitivnosti, a to sa povećanjem bitova za konverziju n uzrokuje da se poveća kako diferencijalna tako i integralna nelinearnost (DNL i INL) ADC-a, tj. da se pogorša tačnost konverzije. Jedno od rešenja ovog problema je prikazano na slici 3 b). U ovom slučaju svaki kondenzator se realizuje kao jedinični tako da efekti podvlačenja ostaju isti za sve kondenzatore, čime se odnos između kondenzatora zadržava [8]. Ova konstatacija predstavlja glavni razlog zbog čega smo se odlučili da ADC implementiramo sa skaliranim tovarom kod koga je izvedena podela polja kondenzatora. Na slici 4, zbog ograničenog prostora, i efikasnije prezentacije, prikazan je samo deo ADC-a koji se odnosi na strukturu kapacitivnog polja kod jednog 6-bitnog ADC-a.

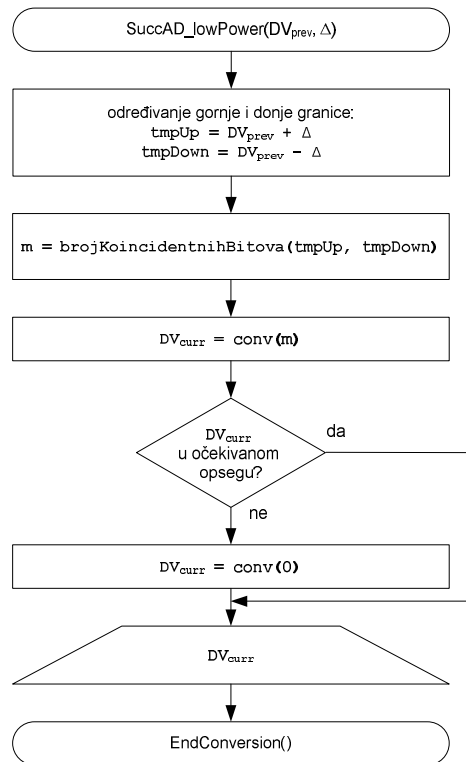


Slika 4 ADC sa skaliranim tovarom i podelom polja kondenzatora

5. PREDLOŽENI ALGORITAM

Predloženi algoritam konverzije polazi od pretpostavke da je analogni signal koji treba konvertovati u n -bitnu digitalnu reč sporo promenljiva veličina. To znači da se sa određenom tačnošću može pretpostaviti da će se sledeća konvertovana vrednost naći u određenom opsegu, O , u odnosu na prethodno konvertovanu veličinu. Širina ovog opsega, Δ , zavisi od brzine promene signala i predstavlja ulazni parametar algoritma. Što je dinamika signala izrazitija to je opseg O širi. Na osnovu prethodnog, mi polazimo od pretpostavke da će m -bitova najveće težine novo-konvertovane vrednosti biti isti sa bitovima iz prethodne konverzije. Imajući to u vidu, nova konverzija može početi od bita težine 2^{n-m-1} . Na ovaj način se skraćuje broj koraka A/D konvertora u procesu sukcesivne aproksimacije čime se indirektno smanjuje i potrošnja. Ilustracije radi, neka je $n=8$ i $\Delta="00000101"$. Pod pretpostavkom da je prethodna konvertovana vrednost bila $V="01011100"$, tada će očekivana vrednost biti u opsegu ($V-\Delta$, $V+\Delta$), odnosno (" 01010111 " - " 01110001 "). Uočimo da sve vrednosti iz ovog opsega imaju identična dva bita najveće težine ($m=2$). To znači da će i očekivana konvertovana veličina dobiti vrednosti " $01XXXXXX$ ", gde $X \in \{0, 1\}$, pa proces sukcesivne aproksimacije umesto od bit pozicije najveće težine (2^7), počinje od bit pozicije čija je težina 2^5 . Napomenimo da se opisani postupak skraćivanja broja koraka u postupku konverzije odnosi samo na deklarisanu rezoluciju konvertora. Dodatna ušteda u potrošnji se može ostvariti sa redukovanom rezolucijom tj. za datu klasu tačnosti proces merenja se završava k koraka ranije, gde je $k > 0$. Što je klasa tačnosti manja k je veće. Ilustracije radi, za klasu tačnosti 2% i kod ADC-a sa 8-bitnom rezolucijom, $k = 2$, pa ukupni broj

koraka skraćivanja konverzije za konkretni primer iznosi sada $m + k = 4$.

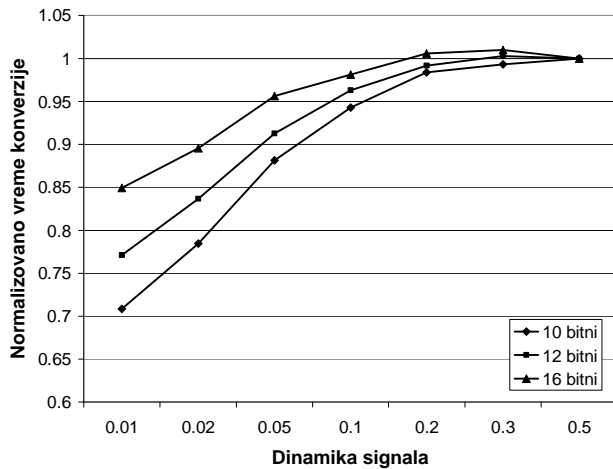


Slika 5 Struktura predloženog algoritma

Dijagram toka predloženog algoritma koji se odnosi samo na deklarisanu rezoluciju konvertora prikazan je na slici 5. Na početku, na osnovu prethodne konvertovane veličine i zadatog opsega Δ , se određuju gornja i donja granica opsega O , a na osnovu njih i vrednost m . Zatim se poziva funkcija $conv(m)$ kojom se obavlja proces sukcesivne aproksimacije počev od bit pozicije težine 2^{n-m-1} . Nakon obavljene konverzije vrši se provera kojom se ustanovljava da li je polazna pretpostavka o opsegu bila tačna. Ukoliko je pretpostavka bila tačna (tzv. pogodak), ostvaruje se ušteda od m ($0 \leq m \leq n$) koraka u postupku konverzije. Kada se nova vrednost nalazi van pretpostavljenog opsega (tzv. promašaj), obavlja se potpuna konverzija ($conv(0)$). U slučaju promašaja postupak konverzije traje $2 * n - m$ koraka. Cilj je da se broj promašaja smanji, a broj pogodaka poveća. U sekciji 6 dati su rezultati simulacije koji se odnose na broj koraka konverzije u funkciji dinamike signala i rezolucije konvertora.

6. EKSPERIMENTALNI REZULTATI

U cilju kvantitativne provere uštede broja koraka, koja se ostvaruje korišćenjem predloženog algoritma, kreiran je program kojim je bio simuliran proces sukcesivne A/D konverzije. Ulazni parametri u procesu simulacije su širina opsega Δ i rezolucija konvertora n , a procenjena vrednost je broj koraka konverzije. Simulacija je obavljena nad 10^4 slučajno izabranih ulaznih uzoraka sa uniformnom raspodelom. Pri ovom je usvojeno da se 90% od uzoraka nalazi u granicama opsega O , a ostatak je izvan. Na slici 6 su prikazani rezultati simulacije koji se odnose samo na uštedu broja koraka za deklarisanu rezoluciju. Da bi se bolje uočila efikasnost predloženog algoritma, dobijene vrednosti koje se odnose na broj koraka konverzije su normalizovane u odnosu na vrednost n , tj. broj koraka koji odgovara potpunoj konverziji.



Slika 6 Zavisnost vremena konverzije od dinamike signala i rezolucije konvertora

Na osnovu dobijenih rezultata (vidi sliku 6), može se zaključiti sledeće:

- 1) najveća ušteda u broju koraka konverzije se postiže za male vrednosti širine opsega Δ , tj. za sporo promenljivu ulaznu veličinu.
- 2) sa smanjenjem rezolucije konvertora, za isti opseg Δ , smanjuje se prosečno vreme trajanja konverzije
- 3) treba uočiti da se za vrednosti $\Delta \in \{0.2FS, 0.3FS\}$, gde je FS-opseg pune skale A/D konvertora, i za $n = 16$, dobija prosečno vreme trajanje konverzije koje je duže u odnosu na vreme potpune konverzije. Ovaj slučaj karakteriše veliki broj promašaja pri čemu je za svaki promašaj potrebno $2 * n - m$ koraka.

7. ZAKLJUČAK

Savremena tehnologija omogućava integraciju funkcionalnosti tipa: prikupljanje informacija, procesiranje i komunikacija na jedinstvenom čipu nazvan senzorski čvor. Osnovna četiri bloka koja se mogu identifikovati kod senzorskog čvora su: senzorska platforma, procesna jedinica, komunikacioni interfejs i blok za napajanje. Ključni projektantski izazovi kod realizacije senzorskog čvora su: minimalna potrošnja, pouzdana komunikacija i efikasna obrada podataka.

U ovom radu razmatran je problem koji se odnosi na uštedu energije senzorskog čvora u bloku senzorske platforme. Analize koje smo sprovedeli pokazuju da je arhitektura A/D konvertora sa sukcesivnom aproksimacijom najbolje rešenje iz sledećih razloga: (1) mala potrošnja (jedan analogni komparator); (2) pogodan za VLSI realizaciju; (3) rezolucija koja se može parametarski definisati. U cilju optimizacije potrošnje, predložena je modifikacija osnovnog algoritama za upravljanje radom konvertora koja se sastoji u smanjenju broja koraka konverzije. Algoritam se bazira na identifikaciji koincidentnih bitova između dve uzastopne konverzije sporo promenljivih ulaznih veličina. Rezultati dobijeni postupkom simulacije za konvertore sa rezolucijom 10-, 12- i 16-bitna pokazuju da se ušteda za tipičnu dinamiku signala kreće 15-30%, ne uzimajući u obzir smanjenje broja koraka zbog klase tačnosti u postupku procene merne veličine. Treba pri ovome naglasiti da implementacija predloženog algoritma ne zahteva bilo kakvu modifikaciju hardvera konvertora.

LITERATURA

- [1] G.J. Pottie, W.J. Kaiser, "Wireless Integrated Network Sensors", *Communications of the ACM*, Vol. 43, No. 5, May 2000, pp. 51-58
- [2] K. Sohrabi, et al, "Protocols for Self Organization of a Wireless Sensor Network", *IEEE Personal Communication Magazine*, Vol. 7, October 2000, pp. 16-27
- [3] I. Akyildiz, et al, "A Survey on Sensor Networks", *IEEE Communication Magazine*, Vol. 40, No. 8, August 2002, pp. 102-114
- [4] H. Karl, A. Willig, *Protocols and Architectures for Wireless Sensor Networks*, John Wiley & Sons, Ltd, West Sussex, England, 2005
- [5] Haenggi M., "Opportunities and Challenges in Wireless Sensor Networks", in *Handbook of Sensor Networks: Compact Wireless and Wired Sensing Systems*, ed. by Ilyas M., and Mahgoub I., CRC Press, Boca Raton, 2004, pp. 1.1-1.14
- [6] Scott M., Bojer B., Pister K., "An Ultralow-Energy ADC for Smart Dust", *IEEE JSSC*, Vol. 38, No. 7, July 2003, pp. 1123-1129
- [7] Calhoun B. et al, "Design Considerations for Ultra/low Energy Wireless Microsensor Nodes", *IEEE Trans. On Computers*, Vol. 54, No. 6, June 2005, pp. 727-739
- [8] Baker J., *CMOS Circuit Design, Layout, and Simulation*, IEEE Press, Piscataway, N.J. 08855, 2005
- [9] van de Plassche R., *Integrated Analog-to-Digital and Digital-to-Analog Converters*, Kluwer Academic Pub., Boston, 2004
- [10] de Wit M., Tan K. S., Hester R., "A Low-Power 12b Analog-to-Digital Converter with On-Chip Precision Trimming", *IEEE JSSC*, Vol.28, No.4, April 1993, pp. 455-461
- [11] Dulman S., et al, *Introduction to Wireless Sensor Networks*, in *Embedded Systems Handbook*, edited by Zurawski R., CRC Press, 2006, Boca Raton, pp. 31.1-31.10

Abstract – Advances in the field of VLSI technology and design of Micro-Electro-Mechanical Systems have made the integration of a sensor, processor, memory and RF communications subsystem on a single chip called sensor node possible. A wireless sensor network consists of large number deployed sensor nodes. The major design challenges in developing a sensor node are related to low power, autonomy in operation, communication capability, etc. The problem of reducing the power consumption in the signal conditioning block of the sensor node is considered in this paper. Power savings of up-to 30% is achieved at algorithmic level by reducing the number of conversion steps of the ADC with successive approximation without increasing its hardware complexity.

ENERGY REDUCTION IN ANALOG TO DIGITAL CONVERTERS WITH SUCCESSIVE APPROXIMATION

Dragan B. Stanković, Mile K. Stojčev, Goran Lj. Đorđević